

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-213874

(43)Date of publication of application : 15.08.1997

(51)Int.CI. H01L 23/538  
H01L 27/01

(21)Application number : 08-021516 (71)Applicant : OKI ELECTRIC IND CO LTD

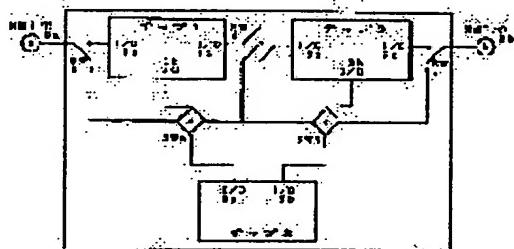
(22)Date of filing : 07.02.1996 (72)Inventor : TAKAMATSU MAKOTO  
SAITO HISASHI

## (54) MULTI-CHIP MODULE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make sure that each chip out of a multi-chip module is normal after the multi-chip module is formed.

**SOLUTION:** Switches 4 to 8 are provided between the I/O terminals 1a to 1c, 2a, and 3a to 3c of chips 1 to 3 and between the I/O terminals 1a to 1c, 2a, 2b, 3a to 3c of the chips 1 to 3 and outer I/O terminals 9a and 9b. The outer I/O terminals 9a and 9b and the I/O terminals, the I/O terminals 1a to 1c, 2a, 2b, and 3a to 3c of chips 1 to 3 are connected together through a required path by a combination of the switches 4 to 8 which are selectively turned on or off, and the I/O terminals 1a to 1c, 2a, 2b, 3a to 3c of the chips 1 to 3 are connected together also through a required path taking advantage of the above combination of the switches 4 to 8, whereby each chip of the semiconductor chips 1 to 3 can be connected to the outer I/O terminals 9a and 9b.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-213874

(43)公開日 平成9年(1997)8月15日

(51) Int.Cl. <sup>8</sup> H 01 L 23/538 27/01	識別記号 301	序内整理番号 F I H 01 L 23/52 27/01	技術表示箇所 A 301
---	-------------	--	--------------------

## 審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願平8-21516  
(22)出願日 平成8年(1996)2月7日

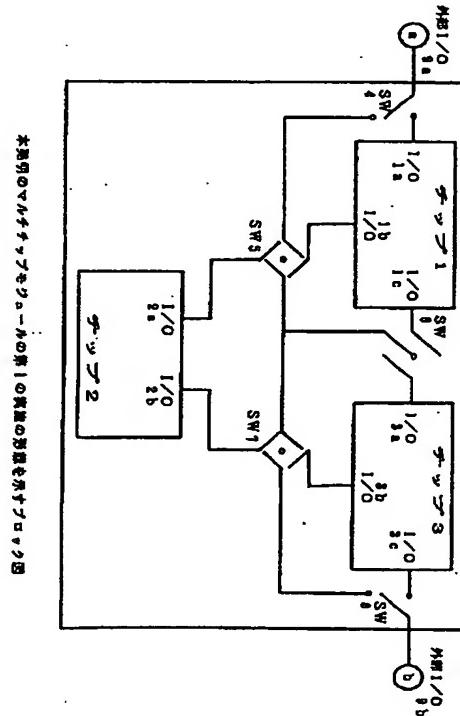
(71)出願人 000000295  
沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
(72)発明者 ▲高▼松 信  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(72)発明者 斎藤 久志  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(74)代理人 弁理士 金倉 雅二

## (54)【発明の名称】 マルチチップモジュール

## (57)【要約】

【課題】 マルチチップモジュール作成後に、チップ単体レベルで正常性を確認可能とする。

【解決手段】 チップ1～3の各I/O間、および各チップのI/Oと外部I/O 9a, 9bの間にスイッチ4～8を設ける。これらスイッチ群のオンおよびオフの組み合わせで、外部I/O 9a, 9bと各チップのI/O間および各チップ間のI/O同士を所望の経路で接続できるようにして、チップ単体で外部I/O 9aおよび9bと接続可能とする。



チップ1のI/O1cとスイッチ7を接続し、スイッチ7でスイッチ6とスイッチ8を接続し、スイッチ8で外部I/O9bとスイッチ7を接続する。これにより、外部I/O9aとチップ1のI/O1bが接続されるとともに、外部I/O9bとチップ1のI/O1cが接続されることになり、チップ1のI/O1bとI/O1cに対して外部I/Oより直接アクセスして、チップ1の正常性を確認できる。

【0013】チップ1においてI/O1aとI/O1cの間の正常性を確認する場合、スイッチ4で外部I/O9aとチップ1のI/O1aを接続する。また、スイッチ6でチップ1のI/O1cとスイッチ7を接続し、スイッチ7でスイッチ6とスイッチ8を接続し、スイッチ8で外部I/O9bとスイッチ7を接続する。これにより、外部I/O9aとチップ1のI/O1aが接続されるとともに、外部I/O9bとチップ1のI/O1cが接続されることになり、チップ1のI/O1aとI/O1cに対して外部I/Oより直接アクセスして、チップ1の正常性を確認できる。

【0014】チップ3においてI/O3aとI/O3bの間の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、スイッチ5でスイッチ4とスイッチ6を接続し、スイッチ6でスイッチ5とチップ3のI/O3aを接続する。また、スイッチ7でチップ3のI/O3bとスイッチ8を接続し、スイッチ8で外部I/O9bとスイッチ7を接続する。これにより、外部I/O9aとチップ3のI/O3aが接続されるとともに、外部I/O9bとチップ3のI/O3bが接続されることになり、チップ3のI/O3aとI/O3bに対して外部I/Oより直接アクセスして、チップ3の正常性を確認できる。

【0015】チップ3においてI/O3bとI/O3cの間の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、スイッチ5でスイッチ4とスイッチ7を接続し、スイッチ7でスイッチ5とチップ3のI/O3bを接続する。また、スイッチ8で外部I/O9bとチップ3のI/O3cを接続する。これにより、外部I/O9aとチップ3のI/O3bが接続されるとともに、外部I/O9bとチップ3のI/O3cが接続されることになり、チップ3のI/O3bとI/O3cに対して外部I/Oより直接アクセスして、チップ3の正常性を確認できる。

【0016】チップ3においてI/O3aとI/O3cの間の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、スイッチ5でスイッチ4とスイッチ6を接続し、スイッチ6でスイッチ5とチップ3のI/O3aを接続する。また、スイッチ8で外部I/O9bとチップ3のI/O3cを接続する。これにより、外部I/O9aとチップ3のI/O3aが接続されるとともに、外部I/O9bとチップ3のI/O3cが接続される。

接続されることになり、チップ3のI/O3aとI/O3cに対して外部I/Oより直接アクセスして、チップ3の正常性を確認できる。

【0017】以上説明したように、本発明の第1の実施の形態では、チップとチップの間、およびチップと外部I/Oとの間にスイッチを設け、スイッチによる接続変更を行うことにより、各チップ単体で外部I/Oに接続でき、各チップに外部I/Oより直接アクセスできる。これにより、チップ単体レベルで正常性を確認できる。

【0018】このことから、MCMでのテストとしては、各チップ単体における試験を行った後、複数のチップを搭載、ボンディングしてMCMを作成し、MCMとしての総合試験を行っていた行程を、複数のチップを搭載、ボンディングしてMCMを作成し、MCMとしての総合試験を行い、異常が発生した場合のみ、MCM上で上述したようにチップ単体での試験を行うことにより、行程の削減およびチップ単体で試験を行うためのソケットが不要となり、設備の削減が可能である。

【0019】ここで、図1で説明したように、チップとチップの間、およびチップと外部I/Oとの間にスイッチを設けることで、MCM作成後、チップ間接続および外部への入出力を変更することができる。これにより、1種類のMCMで複数の機能を実現できるので、作成するMCMの種類を減らすことができ、コストを抑えることができる。

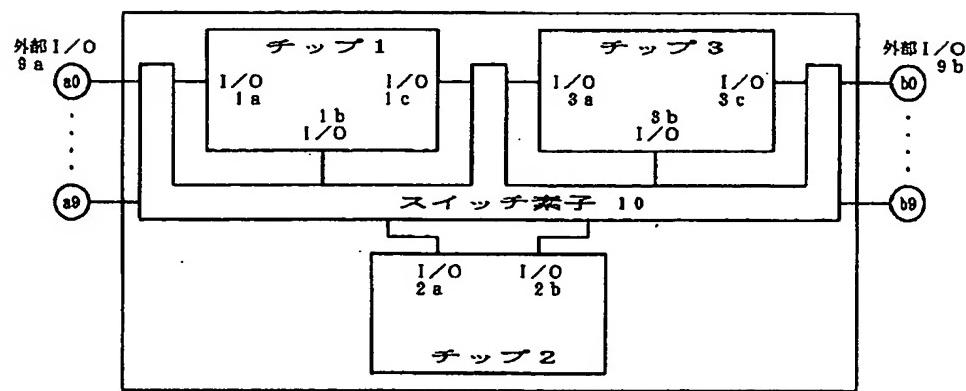
【0020】図3は本発明のマルチチップモジュールの第2の実施の形態を示すブロック図である。図において、1～3はチップで、3個のチップがパッケージ4内にケーシングされる。1a, 1b, 1cはチップ1のI/O、2a, 2b, 2cはチップ2のI/O、3a, 3bはチップ3のI/Oである。

【0021】9a<sub>0</sub>～a<sub>9</sub>、9b<sub>0</sub>～b<sub>9</sub>は外部I/Oである。10はスイッチ素子で、このスイッチ素子10のI/Oと、各チップのI/Oおよび外部I/Oを1対1で接続してある。そして、スイッチ素子10の動作で、外部I/Oと各チップのI/O間および各チップ間のI/O同士を所望の経路で接続できるようになっている。

【0022】ここで、接続経路の例については、図1で説明したものと同様であるので、ここでは説明を省略する。以上説明したように、本発明の第2の実施の形態では、チップとチップの間、およびチップと外部I/Oとの間にスイッチ素子を設け、スイッチ素子の動作により接続変更を行って各チップ単体で外部I/Oと接続したり、チップ間接続および外部への入出力を変更することができる。

【0023】このとき、スイッチ素子を用いることで、I/Oの数が多くても対応可能である。なお、図3の実施の形態では、スイッチ素子を用いたが、スイッチ素子の代わりにプログラマブルゲートアレイを用いることも

【図3】



本発明のマルチチップモジュールの第2の実施の形態を示すブロック図